

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09016649 A**(43) Date of publication of application: **17.01.97**

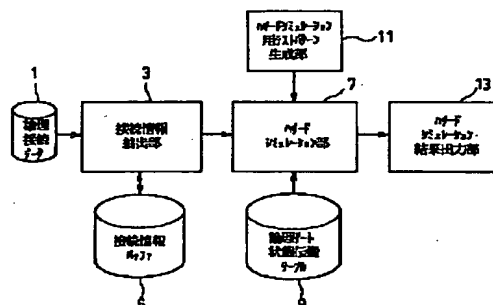
(51) Int. Cl.

G06F 17/50(21) Application number: **07164881**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **30.06.95**(72) Inventor: **HIRABAYASHI KANJI****(54) HAZARD SIMULATION DEVICE FOR LOGIC CIRCUIT****(57) Abstract:**

PURPOSE: To shorten the construction period of logic design and to simply detect the occurrence of a hazard by modeling a hazard and simulating the occurrence and propagation of the hazard.

CONSTITUTION: An operator selects required logic connection data from a logic connection data storing part 1 and inputs the selected data to a connection information extracting part 3, which checks the connecting relation of respective logic gates and a signal propagation route and outputs the checked results as connection information. A hazard simulation part 7 simulates whether a hazard occurs in the connecting relation of respective logic gates or not based upon the connection information. In the simulation, the initial values of all gates included in a circuit are made indefinite and then any one of plural kinds of different logic values is added in accordance with a pattern change outputted from a test pattern generating part 11 to calculate an output based upon a logic gate state propagation table. The calculated result is outputted to a hazard simulation result output part 13, so that the operator can grasp a hazard occurrence part.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-16649

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl.⁶

G 0 6 F 17/50

識別記号

庁内整理番号

F I

G 0 6 F 15/60

技術表示箇所

6 7 2 A

6 6 8 Z

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願平7-164881

(22)出願日 平成7年(1995)6月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 平林 莞爾

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

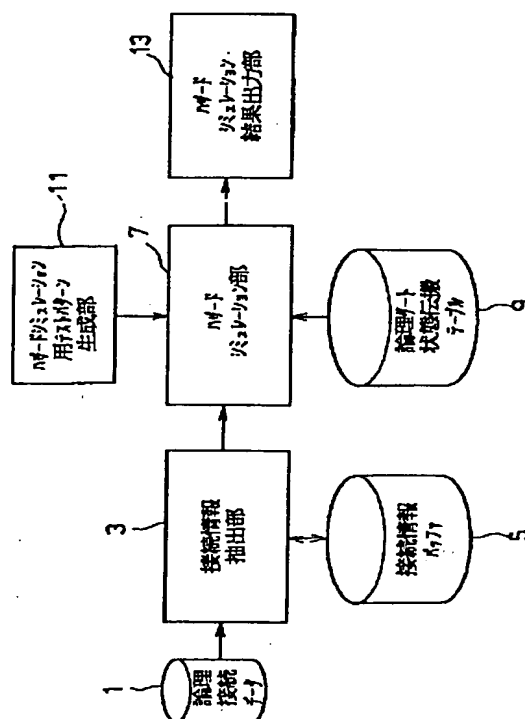
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 論理回路のハザードシミュレーション装置

(57)【要約】

【目的】 論理設計の工期を短縮して、簡易にハザード発生を検知することである。

【構成】 所定の論理接続データ1を入力し、各論理ゲートの接続関係を接続情報として抽出する接続情報抽出部3と、ハザードをモデル化して各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を格納する論理ゲート状態伝搬テーブル9と、前記接続情報抽出部3にて抽出された各論理ゲートの接続関係について、前記論理ゲート状態伝搬表を用いてハザードの発生と伝搬についてのシミュレーションを行うハザードシミュレーション部7と、このハザードシミュレーション部7のハザードシミュレーション結果を出力するハザードシミュレーション結果出力部13とを備えるようにしてある。



【特許請求の範囲】

【請求項1】 所定の論理接続データを入力し、各論理ゲートの接続関係を接続情報として抽出する接続情報抽出部と、

ハザードをモデル化して各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を格納する論理ゲート状態伝搬テーブルと、

前記接続情報抽出部にて抽出された各論理ゲートの接続関係について、前記論理ゲート状態伝搬表を用いてハザードの発生と伝搬についてのシミュレーションを行うハザードシミュレーション部と、

このハザードシミュレーション部のハザードシミュレーション結果を出力するハザードシミュレーション結果出力部と、

を備えることを特徴とする論理回路のハザードシミュレーション装置。

【請求項2】 前記論理ゲート状態伝搬テーブルは、ハザードをモデル化して各論理ゲートの状態を、定常的に“0”の状態と、

“1”から“0”への遷移を行う状態と、

途中にハザードを伴って“0”に落ち着く状態と、

定常的に“1”の状態と、

“0”から“1”への遷移を行う状態と、

途中のハザードを伴って“1”に落ち着く状態と、

にモデル化し、このモデル化されたハザードの発生と伝搬の規則を前記接続情報抽出部にて抽出された各論理ゲートの接続関係について求め、この規則に基づいて論理回路におけるハザードの発生と伝搬をシミュレーションすることを特徴とする請求項1記載の論理回路のハザードシミュレーション装置。

【請求項3】 前記ハザードシミュレーション部は、フィードバックループを有する論理回路のシミュレーションを行う際には、前記フィードバックループ内における前記モデル化された各論理ゲートの状態について、前記ハザードを伴って“0”に落ち着く状態を定常的に“0”の状態または“1”から“0”への遷移状態に転化し、

前記ハザードを伴って“1”に落ち着く状態を定常的に“1”の状態または“0”から“1”の遷移状態に転化して前記論理回路におけるハザードの発生と伝搬をシミュレーションすることを特徴とする請求項2記載の論理回路のハザードシミュレーション装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、論理回路のハザードシミュレーション装置に関し、より詳細には、論理設計の工期を短縮して、簡易にハザード発生を検知することができる論理回路のハザードシミュレーション装置に関する。

【0002】

【従来の技術】 従来より論理設計のうち、信号変化の時間的な遅れを考慮するタイミング設計ではロジック変数の変化の時間的な遅速により不測の過渡出力を生じてシーケンスの異常進行などが起こる現象（以下、ハザードと記す。）の発生と、このハザードの伝搬とを調べるためにゲート素子の遅延を考慮した論理シミュレーションを行うのが一般的である。ハザードの発生はタイミング的な誤作動を引き起こすだけでなく、無駄なスイッチングによる消費電力の増加をもたらすため、設計の初期段階でチェックすることが望ましい。

【0003】 図6に従来の論理設計装置の概要を示した。この論理設計装置は、所定の論理接続データ1を入力し、タイミング設計や消費電力等を考慮して所望の論理設計を行う論理シミュレーション部101と、この論理シミュレーション部101にて論理設計された回路のレイアウトの設計を行うレイアウト設計部103と、このレイアウト設計部103にてレイアウトされた回路に対してハザードの解析を行うハザード解析部103と、このハザード解析部103の解析結果を出力する解析結果出力部107とを備えている。

【0004】 この論理設計装置の操作者は解析結果出力部107の解析結果等を参照してハザードの発生と伝搬等を参照する。この参照にて所定の要件を満たさない場合には、論理接続データ1の接続情報を修正して再度論理シミュレーション部101にてシミュレーションを行い、レイアウト設計、及びハザード解析を行う。このように従来の論理設計においては、解析結果等を参照して所定の要件を満たすまで論理接続データの修正を試行錯誤を行いながら設計を行っていた。

【0005】

【発明が解決しようとする課題】 以上のように、従来の論理設計装置では、所定の要件を満たすまで論理接続データの修正を試行錯誤を行いながら設計を行っていたため設計の工期が増大してしまった。さらに近年の集積回路の高集積化、大規模化に伴い論理設計の工期がさらに増大してしまうという問題点があった。

【0006】 このハザードの解析は、ゲート素子の遅延時間が配線を含めた論理回路での値を反映してなければならないため、レイアウトが決定した回路設計の最終段階でしかチェックすることができない。従って、非常に時間のかかる論理シミュレーションやレイアウト設計の後でなければならない。

【0007】 本発明は上記問題点を鑑みてなされたものでありその目的とするところは、論理設計の工期を短縮して、簡易にハザード発生を検知することができる論理回路のハザードシミュレーション装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明の発明者は、ハザードの解析がゲート素子の遅延時間が配線を含めた集積

回路での値を反映してなければならぬため、レイアウトが決定した後、すなわち、設計の最終段階でしかチェックすることができないことに論理設計の工期が増大する原因があるのではと考えた。それならば、ゲート素子の遅延時間を用いずにハザードをモデル化することにより、論理設計の初期段階でハザードの発生を検出することができるのではと考えた。そのためにはハザードの発生と伝搬との規則を各論理ゲートについて与えることと、フリップフロップのようにフィードバックループが存在した場合に、フィードバックループに達したハザードがどうなるかを明確にすることが必要ある。

【0009】以上のような考察から本発明の発明者は慎重な研究を重ねた結果、本発明を完成することができた。本発明の特徴は、所定の論理接続データを入力し、各論理ゲートの接続関係を接続情報として抽出する接続情報抽出部と、ハザードをモデル化して各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を格納する論理ゲート状態伝搬テーブルと、前記接続情報抽出部にて抽出された各論理ゲートの接続関係について、前記論理ゲート状態伝搬表を用いてハザードの発生と伝搬についてのシミュレーションを行うハザードシミュレーション部と、このハザードシミュレーション部のハザードシミュレーション結果を出力するハザードシミュレーション結果出力部とを備えることである。

【0010】ここで、前記論理ゲート状態伝搬テーブルは、ハザードをモデル化して各論理ゲートの状態を、定常的に“0”の状態と、“1”から“0”への遷移を行う状態と、途中にハザードを伴って“0”に落ち着く状態と、定常的に“1”の状態と、“0”から“1”への遷移を行う状態と、途中のハザードを伴って“1”に落ち着く状態と、にモデル化し、このモデル化されたハザードの発生と伝搬の規則を前記接続情報抽出部にて抽出された各論理ゲートの接続関係について求め、この規則に基づいて論理回路におけるハザードの発生と伝搬をシミュレーションすることが好ましい。

【0011】また、前記ハザードシミュレーション部は、フィードバックループを有する論理回路のシミュレーションを行う際には、前記フィードバックループ内における前記モデル化された各論理ゲートの状態について、前記ハザードを伴って“0”に落ち着く状態を定常的に“0”の状態または“1”から“0”への遷移状態に転化し、前記ハザードを伴って“1”に落ち着く状態を定常的に“1”の状態または“0”から“1”の遷移状態に転化して前記論理回路におけるハザードの発生と伝搬をシミュレーションすることが好ましい。

【0012】

【作用】本発明の構成では、ハザードをモデル化した各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を用いて接続情報抽出部にて抽出された各論理ゲートの接続関係について、前記論理ゲート状態伝搬表を

用いてハザードの発生と伝搬についてのシミュレーションを行うようにしている。ここで、従来例に示したレイアウト設計部では、トランジスタレベルまで展開しなければ計算することができなかったが、本発明の構成によれば、レイアウトが決定する前であってもハザードの解析を行うことができるため、容易にハザードの発生と伝搬の解析を行うことができるのである。また、論理回路設計の比較的上流工程でハザードの解析を行うことができるので、より効果的な論理回路設計ができ、消費電力をさらに低減した論理回路を設計することができる。

【0013】また、このハザードが発生した部分をハザードシミュレーション結果出力部にて操作者にどの部分でハザードが発生しているかを分かるようにすることにより、論理回路の設計の工期を短縮することができるのである。

【0014】

【実施例】以下、本発明に係る論理回路のハザードシミュレーション装置の実施例を図面を参照しながら説明することにする。

【0015】第1実施例

まず、本実施例では多値論理を用いてハザードをモデル化を行う。以下に7個の論理値S0、T0、U0、S1、T1、U1、XXを用いる場合について説明する。各論理値の意味を以下に示す。

【0016】S0：定常的に“0”の状態

T0：“1”から“0”への遷移状態

U0：途中にハザードを伴って“0”に落ち着く状態

S1：定常的に“1”の状態

T1：“0”から“1”への遷移状態

U1：途中にハザードを伴って“1”に落ち着く状態

XX：不定状態

U0、U1における途中にハザードを伴って“0”や“1”に落ち着くというのは“0”→“1”→“0”や“1”→“0”→“1”→“0”→“1”のように最終的に“0”や“1”に落ち着く前に振動するということを意味する。

【0017】なお、本実施例で使用する論理値は以下に示した7個の論理値に限定されるものではない。例えば、1度だけ振動する場合と、複数回振動する場合とを異なった論理値を用いるようにしてもよい。このように、ハザードの振舞い方によって異なった論理値を用いるようにすることで、さらに正確な消費電力の増加を知ることができる。

【0018】表1にNOTゲートに対する状態伝搬表を示す。

【0019】

【表1】

	S0	T0	U0	S1	T1	U1	XX
NOT	S1	T1	U1	S0	T0	U0	XX

表2にANDゲートに対する状態伝搬を示す。他の論理

ゲートに対する状態伝搬はNOTゲートとANDゲートに対する状態伝搬表から作成することができる。

【0020】

【表2】

AND	S0	T0	U0	S1	T1	U1	XX
S0	S0	S0	S0	S0	S0	S0	S0
T0	S0	T0	U0	T0	U0	U0	U0
U0	S0	U0	U0	U0	U0	U0	U0
S1	S0	T0	U0	S1	T1	U1	XX
T1	S0	U0	U0	T1	T1	U1	XX
U1	S0	U0	U0	U1	U1	U1	XX
XX	S0	U0	U0	XX	XX	XX	XX

表2のようにAND (T0, T1) がU0になるのは2個の入力子の遅れの差によって両方とも“1”になるタイミングがあり、出力が“0”→“1”→“0”のように変化するためである。

【0021】次に、本実施例に係る論理回路のハザードシミュレーション装置について説明する。この論理回路のハザードシミュレーション装置は図1に示す通り、所定の論理接続データ1を入力し、各論理ゲートの接続関係を接続情報として抽出する接続情報抽出部3と、ハザードをモデル化して各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を格納する論理ゲート状態伝搬テーブル9と、前記接続情報抽出部3にて抽出された各論理ゲートの接続関係について、前記論理ゲート状態伝搬表9を用いてハザードの発生と伝搬についてのシミュレーションを行うハザードシミュレーション部7と、このハザードシミュレーション部7のハザードシミュレーション結果を出力するハザードシミュレーション結果出力部13とを備える。

【0022】ここで、接続情報抽出部3は、論理接続データ保持部1より所定の論理接続データを入力し、この論理接続データの各論理ゲートの接続関係を接続情報として抽出するためのものである。ここで、本実施例では論理接続データは論理ゲートレベルのものでよく、トランジスタレベルまでのものを必要としない。これにより、レイアウト設計が必要がないため、設計のための工期を短縮することができる。また、抽出されたデータは接続情報バッファ5を設けて保持させてもよい。論理ゲート状態伝搬テーブル9は、ハザードをモデル化して各論理ゲートの状態伝搬を論理値で表した論理ゲート状態伝搬表を格納するためのものである。ここで、各論理ゲートの状態伝搬表とは、表1に示したNOTゲートに対する状態伝搬表や、表2に示したNANDゲートに対する状態伝搬表の如くである。

【0023】ハザードシミュレーション部7は、抽出された各論理ゲートの接続関係について、論理ゲート状態伝搬テーブル格納部9に格納された所定の論理ゲート状態伝搬表を用いてハザードが発生する接続関係が否かを

各接続関係ごとに調べるためのものである。

【0024】ハザードシミュレーション用テストパターン生成部11は、本実施例に係るハザードシミュレーションのテストパターンを生成するためのものである。ここでは、上述の論理値S0, T0, U0, S1, T1, U1, XXの任意の組み合わせのパターンを生成してハザードシミュレーション部7に出力するようにしてある。

【0025】ハザードシミュレーション結果出力部13は、ハザードシミュレーション部7のハザードシミュレーション結果を出力するためのものである。この出力には、CRT装置やプリンタ装置等の通常のコンピュータシステムに用いられているものでよい。また、出力にグラフィックス機能を備えるようにすることで、操作者の操作性が向上するため、さらに論理設計の工期を短縮することができる。

【0026】次に、本発明に係るハザードシミュレーション装置の動作について説明する。まず、操作者は、論理接続データ保持部1より所望の論理接続データを選択して、接続情報抽出部3に入力する。接続情報抽出部3では、入力された論理接続データの各論理ゲートの接続関係を調べて、信号がどのように伝搬していくかを調べて、その結果を接続情報として出力する。

【0027】次に、ハザードシミュレーション部7では、入力された接続情報により各論理ゲートの接続関係について、ハザードが発生するか否かのシミュレーションを行う。このシミュレーションには、回路に含まれるすべてのゲートの初期値をXXとした上でハザードシミュレーション用テストパターン生成部11にて出力されるテストパターンの変化に応じて、S0, T0, S1, T1のいずれかを加え、論理ゲート毎に与えられた論理ゲート状態伝搬表に基づいて出力を計算することによって行われる。シミュレーション途中でU0またはU1になるゲートがあれば、それはハザードの発生部分であることを意味し、このハザードの発生部分の出力を行う。

【0028】次に、このハザードが発生するか否かの結果は、ハザードシミュレーション結果出力部13に出力され、その出力結果を操作者が見ることにより、ハザードの発生している部分を把握することができる。

【0029】第2実施例

次に本実施例では、特に、フィードバックループを有する論理回路のハザードシミュレーションについて説明する。このフィードバックループを有する論理回路においてはフィードバックループに達したハザードがどうなるかを明確にすることが必要である。本実施例ではフィードバックループを有する論理回路としてフリップフロップを備える論理回路について説明する。

【0030】図2はフリップフロップ内でハザードを削減させるためのモデルである。一般の順序回路の動作においては、組み合わせ回路部分でのハザードの発生とフ

リップフロップ部分でのハザードの消滅が繰り返されることになる。このハザードの消滅をシミュレーションで実現するために、すなわち、実際の回路が振舞うようにシミュレーションするために仮想的な素子の挿入を行う。本実施例では、出力Qの前にハザードを吸収するための素子Fが挿入してある。素子Fの伝搬規則を表3に示す。INが素子Fに対する入力、Fが素子Fの出力あり、RPは素子Fの初期状態を表している。

【0031】

【表3】

IN	PF	F
S0		S0
T0		T0
U0	S0	S0
U0	T0	T0
U0	U0	S0
U0	S1	T0
U0	T1	T0
U0	U1	T0
U0	XX	S0
S1		S1
T1		T1
U1	S0	T1
U1	T0	T1
U1	U0	T1
U1	S1	S1
U1	T1	T1
U1	U1	S1
U1	XX	S1
XX		XX

このように素子Fを挿入することにより、フィードバックループを有する論理回路のハザードシミュレーションを行うことができる。

【0032】次に、本実施例に係る論理回路のハザードシミュレーション装置について説明する。基本的には第1実施例の構成を用いることができるが、フィードバックループを有する論理回路のフィードバックループ部分に仮想的な素子を挿入するための手段が必要である。この手段は、上述のハザードシミュレーション部7に備えさせることが好ましい。

【0033】次に、フィードバックループを有する論理回路のハザードシミュレーションの例について説明す

る。3通りの3分周回路を図3、図4、図5に示してある。これらの図は、上述のハザードシミュレーション装置によりハザードシミュレーションをした結果、ハザードシミュレーション結果出力部13に出力されたものである。図中のハザードが発生するノードを太斜線で示してある。図3の場合、出力にハザードが発生するが、図4、図5では出力には現れない。

【0034】以上のように、本実施例に係るハザードシミュレーションでは、従来レイアウト設計後でなければハザードについての解析を行うことができなかったが、本実施例によればハザードをモデル化することにより容易にハザードの解析を行うことができる。

【0035】また、上述のように、ハザードをモデル化することにより容易にハザードの解析を行うことができるので、論理回路設計の比較的上流工程でハザードの解析を行うことができる。これにより、より効果的な論理回路設計ができるので、消費電力をさらに低減した論理回路を設計することができる。

【0036】さらに、このハザードが発生した部分をハザードシミュレーション結果出力部13にて操作者に分かるようにすることにより、論理回路の設計の工期を短縮することができる。

【0037】

【発明の効果】以上のように、本発明に係る論理回路のハザードシミュレーション装置によれば、ハザードをモデル化することにより容易にハザードの解析を行うことができる。また、論理回路設計の比較的上流工程でハザードの解析を行うことができるので、より効果的な論理回路設計ができ、消費電力をさらに低減した論理回路を設計することができる。

【0038】さらに、このハザードが発生した部分をハザードシミュレーション結果出力部にて操作者に分かるようにすることにより、論理回路の設計の工期を短縮することができる。

【図面の簡単な説明】

【図1】本発明に係るハザードシミュレーション装置のブロック図を示したものである。

【図2】フリップフロップ内でハザードを消滅させるためのモデルである。出力Qの前にハザードを吸収させるための素子Fが挿入してある。

【図3】出力にハザードが発生する3分周回路の例である。

【図4】出力にハザードが出ない3分周回路の例である。

【図5】出力にハザードが発生する3分周回路の例である。

【図6】従来のシミュレーション装置の概要を示したブロック図である。

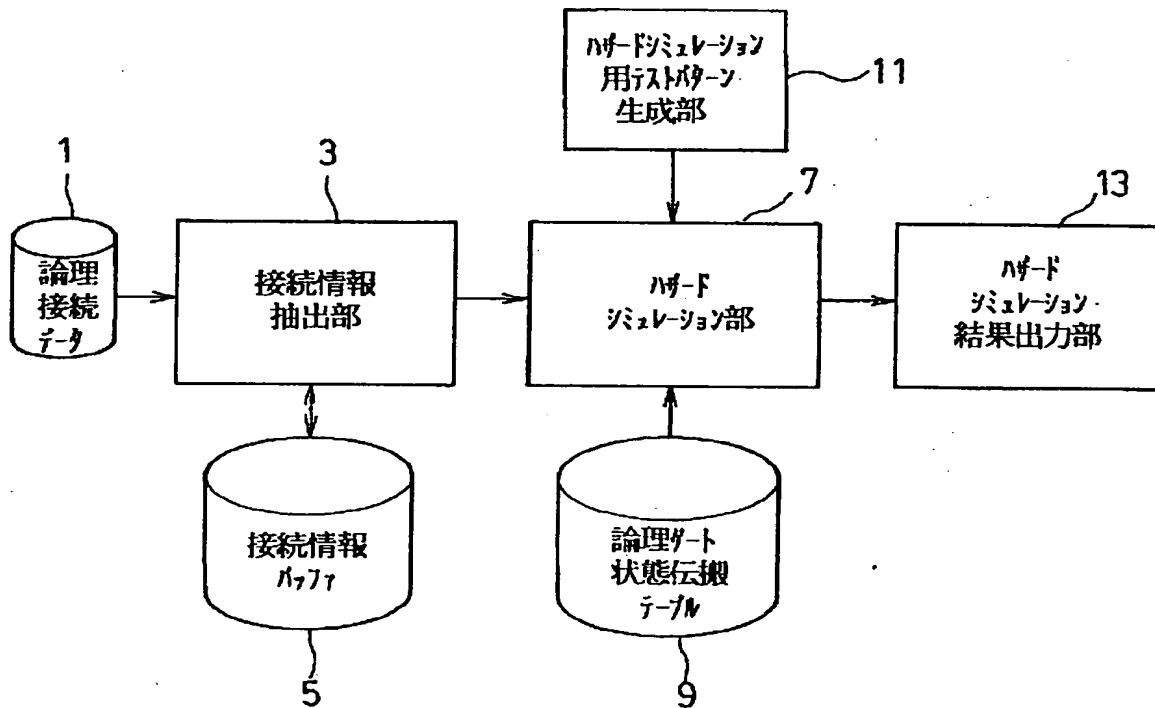
【符号の説明】

1 論理接続データ

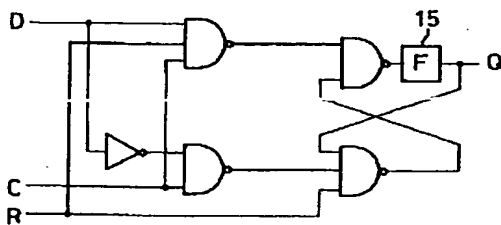
- 3 接続情報抽出部
- 5 接続情報部バッファ
- 7 ハザードシミュレーション
- 9 論理ゲート状態伝搬テーブル
- 11 ハザードシミュレーション用テストパターン生成部

- 13 ハザードシミュレーション結果出力部
- 15 素子
- 101 論理シミュレーション部
- 103 レイアウト設計部
- 105 ハザード解析部
- 107 解析結果出力部

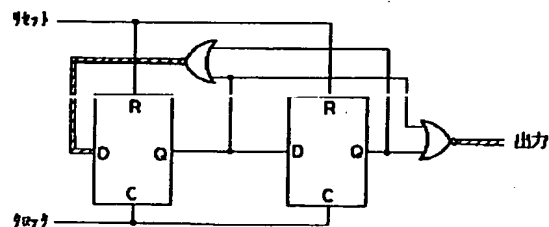
【図1】



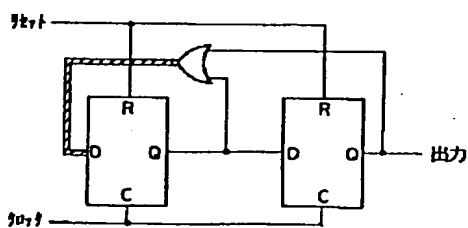
【図2】



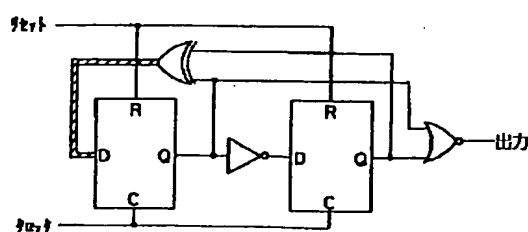
【図3】



【図4】



【図5】



(7)

【図6】

